

Docket No.: 60188-807

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Osamu KUSUMOTO, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: March 17, 2004	:	Examiner: Unknown
	:	
For: SILICON CARBIDE SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME		

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2003-073835, filed March 18, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:tlb
Facsimile: (202) 756-8087
Date: March 17, 2004

60188-807
KUSUMOTO, et al.
March 17, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2003年 3月18日

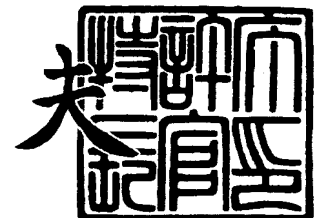
出 願 番 号
Application Number: 特願2003-073835
[ST. 10/C]: [JP2003-073835]

出 願 人
Applicant(s): 松下電器産業株式会社

2004年 1月21日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特2004-3001463

【書類名】 特許願

【整理番号】 2033740198

【提出日】 平成15年 3月18日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 楠本 修

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 北畠 真

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 高橋 邦方

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 山下 賢哉

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 宮永 良子

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 内田 正雄

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 炭化珪素半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 第 1 導電型の炭化珪素半導体基板と、前記炭化珪素半導体基板の一方の面上に設けられた前記炭化珪素半導体基板よりも不純物濃度が低い第 1 導電型の炭化珪素からなる高抵抗層と、前記高抵抗層の表層に選択的に形成された第 2 導電型のウェル領域と、前記ウェル領域の表層に設けられた第 1 導電型のソース領域と、前記高抵抗層の表面に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極と、前記ソース領域上に設けられたソース電極と、前記ソース電極及び前記ゲート電極を覆う層間絶縁膜と、前記層間絶縁膜に設けた開口を通して、前記ソース電極または前記ゲート電極に接続する上部配線を具備し、前記ソース電極は、第 1 ソース電極と、第 2 ソース電極を積層してなり、前記第 2 ソース電極は前記ゲート電極と同一の材料であることを特徴とする炭化珪素半導体装置。

【請求項 2】 第 1 ソース電極が、第 2 ソース電極で完全に覆われていることを特徴とする、請求項 1 記載の炭化珪素半導体装置。

【請求項 3】 第 2 ソース電極及びゲート電極が金属からなることを特徴とする、請求項 1 または 2 記載の炭化珪素半導体装置。

【請求項 4】 第 1 ソース電極が、ニッケル、ニッケルシリサイドまたはニッケルとニッケルシリサイドとの混合物のいずれかであり、層間絶縁膜がシリコン酸化膜を含むことを特徴とする、請求項 1 から 3 のいずれかに記載の炭化珪素半導体装置。

【請求項 5】 炭化珪素基板上に、前記炭化珪素基板よりも不純物濃度が低い第 1 導電型の炭化珪素からなる高抵抗層をエピタキシャル成長する第 1 の工程と、前記高抵抗層の表層に第 2 導電型のウェル領域を形成する第 2 の工程と、前記ウェル領域内の表層に第 1 導電型のソース領域を形成する第 3 の工程と、前記高抵抗層の表面にゲート絶縁膜を形成する第 4 の工程と、前記ソース領域と前記ウェル領域の両方に接する第 1 ソース電極を形成する第 5 の工程と、前記第 1 ソース電極上及び前記ゲート絶縁膜上に導電性の薄膜を堆積及びパターンニングして、

前記第1ソース電極及び前記ゲート絶縁膜上にそれぞれ第2ソース電極及びゲート電極を同時に形成する第6の工程と、前記第2ソース電極及び前記ゲート電極上に層間絶縁膜を形成する第7の工程と、前記第2ソース電極及び前記ゲート電極につながる開口を前記層間絶縁膜に設ける第8の工程とを含むことを特徴とする炭化珪素半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、炭化珪素半導体基板を用いた半導体装置、特に、大電流用に使用される炭化珪素半導体パワーデバイスに関する。

【0002】

【従来の技術】

パワーデバイスは大電流を流す半導体素子であり、高耐圧かつ低損失であることが望まれる。従来シリコン（Si）半導体を用いたパワーデバイスが主流であったが、近年炭化珪素（SiC）半導体を用いたパワーデバイスが注目され、開発が進められている。炭化珪素半導体はシリコンに比べ絶縁破壊電界が1桁高く、このためPN接合やショットキー接合の空乏層を薄くしても逆耐圧を維持できる。したがってデバイス厚さを薄く、またドーピング濃度を高めることができるためにオン抵抗が低く、高耐圧・低損失のパワーデバイスの材料として期待されている。

【0003】

図4は、このような従来の炭化珪素半導体装置の例である、二重注入型MOSFETの構造を示す断面図である。低抵抗の炭化珪素基板31上に基板より高抵抗な高抵抗層32がエピタキシャル成長されている。高抵抗層32の表層には選択的なイオン注入によってp型のウェル領域33が形成され、その内部にはイオン注入によって高濃度のn型のソース領域35とp型のp+コンタクト領域34とが形成されている。ウェル領域33、ソース領域35を含む高抵抗層32の表面には熱酸化膜からなるゲート絶縁膜36が形成されている。ゲート絶縁膜36上にはゲート電極39が形成されている。ソース領域35の一部は除去され、ウ

エル領域 33 の一部の表面が露出されている。この露出したウェル領域 33 及びソース領域 35 の一部の表面のゲート絶縁膜 36 は除去され、ソース電極 38 が形成されている。このソース電極 38 は熱処理が施され、ソース領域 35 及びウェル領域 33 とオーミック接触している。さらに炭化珪素基板 31 の裏面全面にはドレイン電極 37 が形成され、炭化珪素基板 31 とオーミック接触している。

【0004】

高抵抗層 32 の表面には層間絶縁膜 310 が堆積されている。ソース電極 38 及びゲート電極 39 は層間絶縁膜 310 に設けられたコンタクトホールを通じて、層間絶縁膜 310 表面に設けられた厚さ $2\mu\text{m}$ 程度のアルミニウムからなるソース電極上部配線 311 及びゲート電極上部配線 312 と接続している（例えば特許文献 1 参照）。

【0005】

n 型の炭化珪素半導体のソース電極あるいはドレイン電極にはニッケルがよく用いられ、アルゴンや窒素など不活性ガス雰囲気中で 900°C 以上の熱処理を施すことによりオーミック特性が得られる（例えば、非特許文献 1 参照）。

【0006】

ゲート電極 39 としては通常高濃度にドーピングした多結晶シリコンが用いられることが多い。これは多結晶シリコンが 1414°C という高融点であるためである。通常はゲート絶縁膜の保護という観点から、ゲート絶縁膜を形成した直後に他結晶シリコンを堆積、パターニングしてゲート電極を形成し、その後ソース電極となるニッケルなどの金属を堆積、パターニングして 1000°C のアニール処理を施してソース電極を形成する。

【0007】

しかしながら、高濃度の多結晶シリコンは確かに導電性はあるが、金属に比べると導電率は低い。したがってゲート電極の配線抵抗が高くなり、MOSFET を高速でドライブしようとする、遅延が生じやすい。このため高速でドライブする MOSFET には、ゲート電極に金属を用いる方がよい。

【0008】

ゲート電極としての金属は Mo などの高融点金属も使えるが、一般に高融点金

属は加工が難しい。また、ゲート絶縁膜との大きな選択比を持ったエッチング手段が少ない。これに対してアルミニウム (Al) を用いれば、リン酸などのエッチャントを用いて容易にウェットエッチングができ、ゲート絶縁膜に対する選択比も大きい。ところが Al は融点が 660℃ と低く、ソース電極のアニール時に溶解してしまいパターンがくずれるので、ソース電極形成後にゲート電極を形成することが必要となる。すなわち、ソース電極形成後に、Al を全面に堆積しエッチングする。W や Mo などの高融点金属の場合も、ソース電極のアニール時に 1000℃ まで温度をあげると、ゲート酸化膜と反応をおこし、実質的なゲート酸化膜の厚さが薄くなったり耐圧を下げる原因となる。したがってゲート電極に金属を用いるときは、ソース電極形成後に堆積、パターニングを行うことが好ましい。

【0009】

ソース電極としては、n 型炭化珪素に対してオーミック接触が得られやすいことから、ニッケルやニッケルシリサイドあるいはそれらの混合物が通常用いられる。層間絶縁膜としては、CVD など で堆積される厚さ 1 μ m 程度の酸化シリコン膜が通常用いられる。

【0010】

【特許文献 1】

特開平 11-297712 号公報

【非特許文献 1】

大野 俊之、「SiC における素子形成プロセス技術の現状」、電子情報通信学会論文誌、電子情報通信学会、1998 年 1 月、第 J81-C-II 巻、第 1 号、p. 128-133

【0011】

【発明が解決しようとする課題】

ところが、このようにソース電極形成後にゲート電極形成を行う順序で製造すると、ゲート電極をエッチングするときに、ソース電極もエッチングされるという問題があった。特にゲート電極を金属にした場合は、ソース電極も金属であるので、ゲート電極をエッチングするときに、ソース電極表面が腐食されるおそれ

があった。また、ゲート電極をドライエッチングする場合、ソース電極表面にプラズマ中のコンタミネーションが付着するおそれがあった。例えば、塩素系のガスを用いてゲート電極をドライエッチングしようとする、ソース電極表面のNiもエッチングされ、上部の配線とのコンタクト抵抗が増大し、MOSFETのオン抵抗が増大するという問題があった。

【0012】

またニッケルと酸化シリコン膜は密着性が悪く、ニッケルからなるソース電極上に直接酸化シリコンの層間絶縁膜を堆積すると、層間絶縁膜が剥離することがあった。特に、長時間使用したり、温度変化によるストレスがかかったときに層間絶縁膜の割れなどが起こり信頼性が劣化するという問題点があった。

【0013】

そこで本発明はこのような問題点に鑑み、ソース電極形成後にゲート電極を形成する炭化珪素半導体装置の製造工程において、ゲート電極形成時にソース電極表面の腐食や汚染を防ぎ、ソース電極のコンタクト抵抗が低く、オン抵抗が低く、またソース電極と層間絶縁膜の密着性が良好で、信頼性の高い炭化珪素半導体装置及びその製造方法を提供することを目的とする。

【0014】

【課題を解決するための手段】

上記課題を解決するために、本発明の炭化珪素半導体装置は、第1導電型の炭化珪素半導体基板と、前記炭化珪素半導体基板の一方の面上に設けられた前記炭化珪素半導体基板よりも不純物濃度が低い第1導電型の炭化珪素からなる高抵抗層と、前記高抵抗層の表層に形成された第2導電型のウェル領域と、前記ウェル領域の表層に設けられた第1導電型のソース領域と、前記高抵抗層の表面に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極と、前記ソース領域上に設けられたソース電極と、前記ソース電極及び前記ゲート電極を覆う層間絶縁膜と、前記層間絶縁膜に設けられた開口を通して、前記ソース電極または前記ゲート電極に接続する配線とを具備し、前記ソース電極は、第1ソース電極と第2ソース電極とを積層してなり、前記第2ソース電極は前記ゲート電極と同一の材料であることを特徴とする。

【0015】

また、本発明の炭化珪素半導体装置の製造方法は、第1導電型の炭化珪素基板上に、前記炭化珪素基板よりも不純物濃度が低い第1導電型の炭化珪素からなる高抵抗層をエピタキシャル成長する第1の工程と、前記高抵抗層の表層に第2導電型のウェル領域を形成する第2の工程と、前記ウェル領域内の表層に第1導電型のソース領域を形成する第3の工程と、前記高抵抗層の表面にゲート絶縁膜を形成する第4の工程と、前記ソース領域と前記ウェル領域の両方に接する第1ソース電極を形成する第5の工程と、前記第1ソース電極上及び前記ゲート絶縁膜上に導電性の薄膜を堆積及びパターンニングして、前記第1ソース電極及び前記ゲート絶縁膜上にそれぞれ第2ソース電極及びゲート電極を同時に形成する第6の工程と、前記第2ソース電極及び前記ゲート電極上に層間絶縁膜を形成する第7の工程と、前記第2ソース電極及び前記ゲート電極につながる開口を前記層間絶縁膜に設ける第8の工程とを含むことを特徴とする。

【0016】

【発明の実施の形態】

本発明の炭化珪素半導体装置は、炭化珪素半導体基板と、前記炭化珪素半導体基板の一方の面上に設けられた前記炭化珪素半導体基板よりも不純物濃度が低い第1導電型の炭化珪素からなる高抵抗層と、前記高抵抗層の表層に形成された第2導電型のウェル領域と、前記ウェル領域の表層に設けられた第1導電型のソース領域と、前記高抵抗層の表面に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極と、前記ソース領域上に設けられたソース電極と、前記ソース電極及び前記ゲート電極を覆う層間絶縁膜と、前記層間絶縁膜に設けられた開口を通して、前記ソース電極または前記ゲート電極に接続する配線とを具備し、前記ソース電極は、第1ソース電極と第2ソース電極とを積層してなり、前記第2ソース電極は前記ゲート電極と同一の材料であることを特徴とする。ゲート電極は通常、ゲート酸化膜に対して密着性の良い材料を使用するので、層間絶縁膜に対しても密着性がよい。そのため、このようにすると、層間絶縁膜に対して密着性の良い材料からなる第2ソース電極により第1ソース電極が覆われるので、層間絶縁膜とソース電極との密着性が向上し、信頼性を向上させることが

できる。

【0017】

ここで、第1ソース電極が、第2ソース電極で完全に覆われていることが好ましい。このようにすると、第1ソース電極は層間絶縁膜と接触しなくなるので、ソース電極上における層間絶縁膜の剥離の問題が無くなるため、より信頼性が向上する。

【0018】

また、第2ソース電極及びゲート電極が金属からなることがさらに好ましい。このようにすると、ゲート電極の配線抵抗が減り、炭化珪素半導体装置の動作速度が向上する。

【0019】

また、第1ソース電極が、ニッケル、ニッケルシリサイドまたはニッケルとニッケルシリサイドとの混合物のいずれかであり、層間絶縁膜がシリコン酸化膜を含むことがさらに好ましい。このようにすると、ソース電極がソース領域と特に良好にオーミック接触するようになる。

【0020】

本発明の炭化珪素半導体装置の製造方法は、第1導電型の炭化珪素基板上に、前記炭化珪素基板よりも不純物濃度が低い第1導電型の炭化珪素からなる高抵抗層をエピタキシャル成長する第1の工程と、前記高抵抗層の表層に第2導電型のウェル領域を形成する第2の工程と、前記ウェル領域内の表層に第1導電型のソース領域を形成する第3の工程と、前記高抵抗層の表面にゲート絶縁膜を形成する第4の工程と、前記ソース領域と前記ウェル領域の両方に接する第1ソース電極を形成する第5の工程と、前記第1ソース電極上及び前記ゲート絶縁膜上に導電性の薄膜を堆積及びパターンニングして、前記第1ソース電極及び前記ゲート絶縁膜上にそれぞれ第2ソース電極及びゲート電極を同時に形成する第6の工程と、前記第2ソース電極及び前記ゲート電極上に層間絶縁膜を形成する第7の工程と、前記第2ソース電極及び前記ゲート電極につながる開口を前記層間絶縁膜に設ける第8の工程とを含むことを特徴とする。このようにすると、第1ソース電極上及びゲート絶縁膜上に堆積した導電性の薄膜をパターンニングしてゲート電極

を形成する際に、第1ソース電極表面が腐食されたり汚染されることが無いので、ソース電極と上部の配線とのコンタクト抵抗を低く抑えることができる。

【0021】

ここで、第2ソース電極の材料としては、層間絶縁膜の開口を設けるエッチングにおいてエッチングされにくい材料が好ましい。例えば酸化シリコンからなる層間絶縁膜をフッ化炭素系のガスでドライエッチングする場合、第2ソース電極の材料がアルミニウムや銅であれば、十分に選択比を大きくすることができる。また、層間絶縁膜としてシリコン酸化膜を用いる場合、第2ソース電極の材料としては、シリコン酸化膜に対する密着性に優れるものが好ましい。このようにすると、ソース電極上の層間絶縁膜が剥離するのを防ぐことができる。以上のような第2ソース電極用の材料としては、アルミニウム、銅等が挙げられる。

【0022】

従来、n型の炭化珪素半導体のソース電極としてよく用いられるニッケルをアニールすると、電極界面でニッケルと炭化珪素とが反応してニッケルシリサイド (Ni_xSi_y 、ここで、 x 、 y は整数) が形成され、その一部はソース電極の表面にまで現れていた。シリコン酸化膜からなる層間絶縁膜を形成後にコンタクトホールを開くとき、フッ化炭素系のガスを用いると、ソース電極が純粋なニッケルであれば、エッチングされないが、ニッケルシリサイドが混じっているとニッケルシリサイド中のシリコンはプラズマ中のフッ素ラジカルあるいはフッ素イオンと反応してしまう可能性があった。それに対して、アルミニウム及び銅はフッ化炭素系のガスによるドライエッチングのエッチングレートが小さいため、本発明の炭化珪素半導体装置において第2ソース電極がアルミニウムまたは銅であると、ソース電極がエッチングされるのを抑制することができる。

【0023】

また、従来、n型の炭化珪素半導体のソース電極としてよく用いられるニッケルはシリコン酸化膜との密着性が悪く、層間絶縁膜としてシリコン酸化膜を用いる場合、ソース電極上の層間絶縁膜が剥離するという問題があった。それに対して、アルミニウム及び銅などはシリコン酸化膜との密着性が良いため、本発明の炭化珪素半導体装置において第2ソース電極がアルミニウムまたは銅であると、

ソース電極上の層間絶縁膜が剥離するのを防ぐことができる。

【0024】

(実施の形態1)

以下、本発明に係る炭化珪素半導体装置の一例として、二重注入型MOSFETについて図面を用いて詳細に説明する。図1は、本発明の一実施の形態に係る反転型の二重注入型MOSFETの構造を示す断面図である。

【0025】

n型ドーピング濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以上の低抵抗の炭化珪素基板1上にはn型ドーピング濃度が $1 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{16} \text{ cm}^{-3}$ 程度の高抵抗層2が積層されている。高抵抗層2の表層には例えばp型ドーピング濃度が $1 \times 10^{16} \text{ cm}^{-3}$ から $1 \times 10^{17} \text{ cm}^{-3}$ のウェル領域3が設けられており、ウェル領域3内部の表層には、p型ドーピング濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以上のp+コンタクト領域4とn型ドーピング濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 前後であるソース領域5が形成されている。このp+コンタクト領域4とソース領域5の一部にオーミック接触するようにニッケルとニッケルシリサイドからなる第1ソース電極8が形成されている。第1ソース電極8上にはアルミニウムからなる第2ソース電極9が積層されている。また炭化珪素基板1の裏面全面には炭化珪素基板1とオーミック接触するニッケルからなるドレイン電極7が形成されている。ウェル領域3の一部の表面にはゲート絶縁膜6が形成されており、ゲート絶縁膜6上にはアルミニウムからなるゲート電極10が形成されている。高抵抗層2の表面には層間絶縁膜11が堆積されている。第2ソース電極9及びゲート電極10は層間絶縁膜11に設けられたコンタクトホール12を通じて、層間絶縁膜11表面に設けられた厚さ $2 \mu\text{m}$ 程度のアルミニウムからなるソース電極上部配線13及びゲート電極上部配線14と接続している。

【0026】

電流は、ソース電極上部配線13から第2ソース電極9、第1ソース電極8を通してソース領域5に流れ、ゲート電極10下のチャネルを通り、高抵抗層2、炭化珪素基板1を通してドレイン電極7へと流れる。

【0027】

このような炭化珪素半導体装置の製造方法を図2を用いて説明する。第1の工程として(0001)面から $\langle 11-20 \rangle$ 方向に向かって 8° のオフ角をもつ主面を有し、n型ドーピング濃度が $1 \times 10^{18} \text{ cm}^{-3} \sim 5 \times 10^{19} \text{ cm}^{-3}$ 程度の炭化珪素基板1を用意し、n型の高抵抗層2をエピタキシャル成長させる(図2(a))。

【0028】

例えば、原料ガスとしてシラン(SiH_4)とプロパン(C_3H_8)を、キャリアガスとして水素(H_2)を、ドーパントガスとして窒素(N_2)ガスを用いた熱CVDにより、基板よりも低ドーピング濃度の高抵抗層2をエピタキシャル成長させる。例えば600V耐圧のMOSFETを製造するのであれば、高抵抗層2のドーピング濃度は $1 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{16} \text{ cm}^{-3}$ で、厚さは $10 \mu\text{m}$ 以上が望ましい。

【0029】

第2の工程として、成長させた高抵抗層2にアルミニウムまたはホウ素をイオン注入して、p型のウェル領域3を形成する。ウェル領域3の形成には、まず注入マスクとなるシリコン酸化膜を厚さ $3 \mu\text{m}$ 程度、CVD法などで高抵抗層2の表面に堆積し、フォトリソグラフィー及びドライエッチングによって、ウェル領域3を形成する部分のみシリコン酸化膜に開口を設ける。注入欠陥を低減するために基板温度を 500°C 以上の高温に保ってアルミニウムまたはボロンをイオン注入し、注入後シリコン酸化膜はふっ酸によって全面除去する。

【0030】

ウェル領域3のドーピング濃度は通常 $1 \times 10^{17} \text{ cm}^{-3}$ 前後から $1 \times 10^{18} \text{ cm}^{-3}$ であり、その深さはピンチオフしないように $1 \mu\text{m}$ 前後とする。またウェル領域3と電極とのコンタクトをとるために、ウェル領域3表層にp+コンタクト領域4をイオン注入によって形成する。p+コンタクト領域4の厚みは 300 nm 前後で、ドーピング濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 以上である。イオン注入の方法はウェル領域3の形成と同じである。この後、アルゴンなどの不活性ガス中において 1700°C 前後で30分程度の活性化アニールを行う(図2(b))。

【0031】

第 3 の工程として、ソース領域 5 を形成する。注入マスクとなるシリコン酸化膜を厚さ $1\ \mu\text{m}$ 程度、表面に堆積し、フォトリソグラフィー及びドライエッチングによって、ソース領域 5 を形成する部分のみシリコン酸化膜に開口を設ける。注入欠陥を低減するために基板温度を 500°C 以上の高温に保って窒素またはリンをイオン注入する。注入後シリコン酸化膜はフッ酸によって全面除去し、アルゴンなどの不活性雰囲気中において 1700°C 程度で 30 分程度の活性化アニールを施す。ソース領域 5 のドーピング濃度としては $1 \times 10^{19}\ \text{cm}^{-3}$ 程度で、深さとしては、例えば $300\ \text{nm}$ 程度とする（図 2（c））。

【0032】

第 4 の工程として、熱酸化によって、高抵抗層 2 の表面にゲート絶縁膜 6 としてシリコン酸化膜を成長させる。例えば石英管に基板を保持し、バブリングした酸素 2.5 SLM を石英管に導入し温度を 1100°C に保って 3 時間の熱酸化で厚み約 $40\ \text{nm}$ の熱酸化膜を形成する（図 2（d））。

【0033】

第 5 の工程としてソース及びドレイン電極を形成する。基板裏面にドレイン電極 7 として厚さ $200\ \text{nm}$ 程度のニッケルを蒸着する。さらに表面の p^+ コンタクト領域 4 及びソース領域 5 の一部が露出するように、フォトリソグラフィーとフッ酸エッチングによってゲート絶縁膜 6 を除去し、 p^+ コンタクト領域 4 及びソース領域 5 の一部の両方に接触するニッケルからなる第 1 ソース電極 8 をリフトオフ法により形成する。この後、第 1 ソース電極 8 及びドレイン電極 7 のオーミック性を得るために窒素などの不活性ガス雰囲気中において 1000°C 程度で 2 分間程度の熱処理を行う（図 2（e））。この熱処理により、ニッケルは炭化珪素と反応して、一部または全部がニッケルシリサイドとなる。

【0034】

第 6 の工程として、ゲート電極 10 を形成する。まず第 1 ソース電極 8 を含む表面全面に厚さ $200\ \text{nm}$ 程度のアルミニウムを堆積する。通常のフォトリソグラフィーを行ってゲート絶縁膜 6 上及び第 1 ソース電極 8 上に所望のレジストパターンを形成する。このとき第 1 ソース電極 8 上のレジストパターンは第 1 ソース電極 8 より広く形成し、第 1 ソース電極 8 を完全に覆うようにする。

【0035】

次に塩素系ガスを用いたR I Eによって、上記レジストパターンをマスクにアルミニウムをパターニングする。こうすることによって、ゲート絶縁膜6上にゲート電極10を形成すると同時に、第1ソース電極8上にゲート電極と同一材料のアルミニウムからなり、第1ソース電極8を完全に覆う第2ソース電極9を形成する（図2（f））。

【0036】

第7の工程として、第2ソース電極9及びゲート電極10を覆う層間絶縁膜11を形成する。プラズマC V D法などによりシリコン酸化膜からなる層間絶縁膜11を厚さ1 μ m程度堆積する（図2（g））。

【0037】

第8の工程として、層間絶縁膜11に第2ソース電極9及びゲート電極10につながるコンタクトホール12を開口する。通常のリソグラフィと、例えばC F₄やC H F₃などのフッ化炭素系のガスによるR I Eを用いて、コンタクトホール12を開口する。このとき第2ソース電極9及びゲート電極10の材料であるアルミニウムがエッチングストッパーの役目を果たす（図2（h））。

【0038】

第9の工程として、層間絶縁膜11上に上部配線を形成する。例えば、スパッタ法などによりアルミニウムを厚さ2 μ m程度堆積し、通常のウェットエッチングでパターニングして上部配線を形成する。このときコンタクトホール12内部もアルミニウムで埋め、ソース電極上部配線13と第2ソース電極9、及びゲート電極上部配線14とゲート電極10とが互いに電氣的に接続されるようにする（図2（i））。

【0039】

ここで、本発明の実施の形態では、第6の工程において、第1ソース電極8上にレジストマスクを配置し、第1ソース電極8上のアルミニウムをエッチングしないことにより、第1ソース電極8がニッケル等の塩素系ガスによりエッチングされる材料により構成されている場合であっても、第1ソース電極8の表面がエッチングされることがない。また第2ソース電極9の表面はレジストで覆われて

いるので、エッチャントにより腐食されたり汚染される可能性はない。

【0040】

また、第7の工程として、層間絶縁膜11となるシリコン酸化膜を堆積する際も、ニッケルからなる第1ソース電極8上にシリコン酸化膜を直接堆積すると密着性が悪く、この部分からシリコン酸化膜が剥離したり割れが生じることがあった。ところが本発明の実施の形態では、酸化シリコンと密着性の良いアルミニウムからなる第2ソース電極9で第1ソース電極8を完全に覆っており、酸化シリコンが密着性の悪いニッケルからなる第1ソース電極8に直接接触しないので、層間絶縁膜11が剥離することはない。

【0041】

また、フッ化炭素系ガスによるRIEのエッチレートが小さいアルミニウムからなる第2ソース電極9が第1ソース電極8上に形成されているので、第8の工程として、フッ化炭素系ガスによるRIEを用いて、層間絶縁膜11にソース電極及びゲート電極10につながるコンタクトホール12を開口する際にも、ソース電極がエッチングされない。

【0042】

以上のように本実施の形態では、第2ソース電極9を第1ソース電極8上に形成しているが、ゲート電極10と第2ソース電極9とを同一の工程において形成することができるので、工程数が増加して製造コストが増加することなく、歩留りの向上を実現することができる。

【0043】

第2ソース電極9を形成するフォトリソグラフィーの位置合わせ精度を考えると、第2ソース電極9は第1ソース電極8よりも少なくとも $1\mu\text{m}$ 以上広く作ることが好ましい。このようにすることによって $1\mu\text{m}$ の位置合わせずれがあっても、第1ソース電極9は第2ソース電極8に覆われ、表面に露出することはない。

【0044】

なお、本実施の形態においてはゲート電極材料にアルミニウムを採用したが、アルミニウムに限定されるものでなく、他の金属材料を用いても良い。好ましく

はフッ化炭素系のガスによるRIEのエッチングレートが小さく、また酸化シリコン膜との密着性の良い金属であり、例えば銅(Cu)であってもよい。一般的に銅はRIEによるエッチングが困難であるので、第6の工程では、例えば塩化第2鉄水溶液などをエッチャントとしたウェットエッチングを用いればよい。

【0045】

なお、本実施の形態では、n型炭化珪素基板上に、n型高抵抗層をエピタキシャル成長し、p型のウェル領域を形成したnチャネルMOSFETの例を示したが、p型炭化珪素基板上に、p型高抵抗層をエピタキシャル成長し、n型のウェル領域を形成したpチャネルMOSFETの場合でも、同様の効果が得られる。また、基板と高抵抗層の導電型を逆にした、IGBTの構成や、ソース電極、ドレイン電極ともに炭化珪素基板の同じ面側にある横型MOSFETの場合でも同様の効果が得られる。

【0046】

(実施の形態2)

次に、蓄積型の二重注入MOSFETの例を示す。図3は本実施の形態に係る蓄積型の二重注入MOSFETの構造を示す断面図である。実施の形態1と異なるのは、ゲート絶縁膜とウェル領域の間に蓄積チャンネル層15を設けたことである。炭化珪素半導体の熱酸化膜には炭素が残留するため、ゲート絶縁膜と炭化珪素半導体の高抵抗層の界面には、欠陥が多数存在し、チャンネル移動度が低い。しかしながら蓄積型のMOSFETの場合、反転型のそれに比べ電流が界面からより離れた領域で電流を流せるので、チャンネル移動度が向上する。以下詳細に説明する。

【0047】

n型ドーピング濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以上の低抵抗の炭化珪素基板1上にはn型ドーピング濃度が $1 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{16} \text{ cm}^{-3}$ 程度の高抵抗層2が積層されている。高抵抗層2の表層には例えばp型ドーピング濃度が $1 \times 10^{16} \text{ cm}^{-3}$ から $1 \times 10^{18} \text{ cm}^{-3}$ のウェル領域3が設けられており、ウェル領域3の表層には、n型ドーピング濃度が $1 \times 10^{16} \text{ cm}^{-3} \sim 5 \times 10^{17} \text{ cm}^{-3}$ 程度の炭化珪素からなる蓄積チャンネル層15が形成されている。このような蓄積チャンネル

層は高抵抗層の形成と同様に例えば熱CVDによってウェル領域を含む高抵抗層の全面に形成される。さらにウェル領域3の内部の表層には、p型ドーピング濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以上のp+コンタクト領域4とn型ドーピング濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 前後であるソース領域5が形成されている。このようなp+コンタクト領域4とソース領域5はウェル領域3上に形成された蓄積チャネル層15の表面からイオン注入によって形成する。このp+コンタクト領域4とソース領域5の一部にオーミック接触するようにニッケルとニッケルシリサイドからなる第1ソース電極8が形成されている。第1ソース電極8上にはアルミニウムからなる第2ソース電極9が積層されている。また炭化珪素基板1の裏面全面には炭化珪素基板1とオーミック接触するニッケルからなるドレイン電極7が形成されている。ウェル領域3の一部の表面にはゲート絶縁膜6が形成されており、ゲート絶縁膜6上にはアルミニウムからなるゲート電極10が形成されている。高抵抗層2の表面には層間絶縁膜11が堆積されている。第2ソース電極9及びゲート電極10は層間絶縁膜11に設けられたコンタクトホール12を通じて、層間絶縁膜11表面に設けられた厚さ $2 \mu\text{m}$ 程度のアルミニウムからなるソース電極上部配線13及びゲート電極上部配線14と接続している。

【0048】

電流は、ソース電極上部配線13から第2ソース電極9、第1ソース電極8を通してソース領域5に流れ、ゲート電極10下の蓄積チャネル層15を通り、高抵抗層2、炭化珪素基板1を通過してドレイン電極7へと流れる。

【0049】

本実施の形態のような構成でも、実施の形態1と同様な効果が得られ、さらに実施の形態1よりもチャネル移動度を向上させ、よりオン抵抗を低減させることができる。

【0050】

蓄積チャネル層としては上記のようなn型のドーパントが一様に分布したものでもよいが、極めて薄い高濃度のドーブ層、例えば厚み 10 nm でドーピング濃度が $5 \times 10^{17} \text{ cm}^{-3} \sim 5 \times 10^{18} \text{ cm}^{-3}$ のドーブ層と、例えば厚み 40 nm 前後の意図的なドーピングを行わないアンドーブ層を積層した構造にすると、ドー

プ層から供給されるキャリアが結晶性の高いアンドープ層を走行するので、移動度の向上という点でさらに効果的である。

【0051】

なお、本実施の形態においてはゲート電極材料にアルミニウムを採用したが、アルミニウムに限定されるものでなく、他の金属材料を用いても良い。好ましくはフッ化炭素系のガスによるRIEのエッチングレートが小さく、また酸化シリコン膜との密着性の良い金属であり、例えば銅(Cu)であってもよい。

【0052】

なお、本実施の形態では、n型炭化珪素基板上に、n型高抵抗層をエピタキシャル成長し、p型のウェル領域を形成したnチャネルMOSFETの例を示したが、p型炭化珪素基板上に、p型高抵抗層をエピタキシャル成長し、n型のウェル領域を形成したpチャネルMOSFETの場合でも、同様の効果が得られる。また、基板と高抵抗層の導電型を逆にした、IGBTの構成や、ソース電極、ドレイン電極ともに炭化珪素基板の同じ面側にある横型MOSFETの場合でも同様の効果が得られる。

【0053】

【発明の効果】

以上本発明によると、ソース電極を形成した後にゲート電極を形成する炭化珪素半導体装置において、ソース電極表面が腐食されたり汚染されたりすることがない。また、層間絶縁膜とソース電極の密着性を向上することができるので、信頼性の高い炭化珪素半導体装置を提供することができる。また第2ソース電極はゲート電極と同時に形成されるので、工程数が増えることがなく、製造コストを抑えたまま歩留まりを向上することができる。

【図面の簡単な説明】

【図1】

本発明の一実施の形態に係る反転型の二重注入型MOSFETの構造を示す断面図

【図2】

同二重注入型MOSFETの製造工程を示す図

【図 3】

本発明の他の実施の形態に係る蓄積型の二重注入型 MOSFET の構造を示す断面図

【図 4】

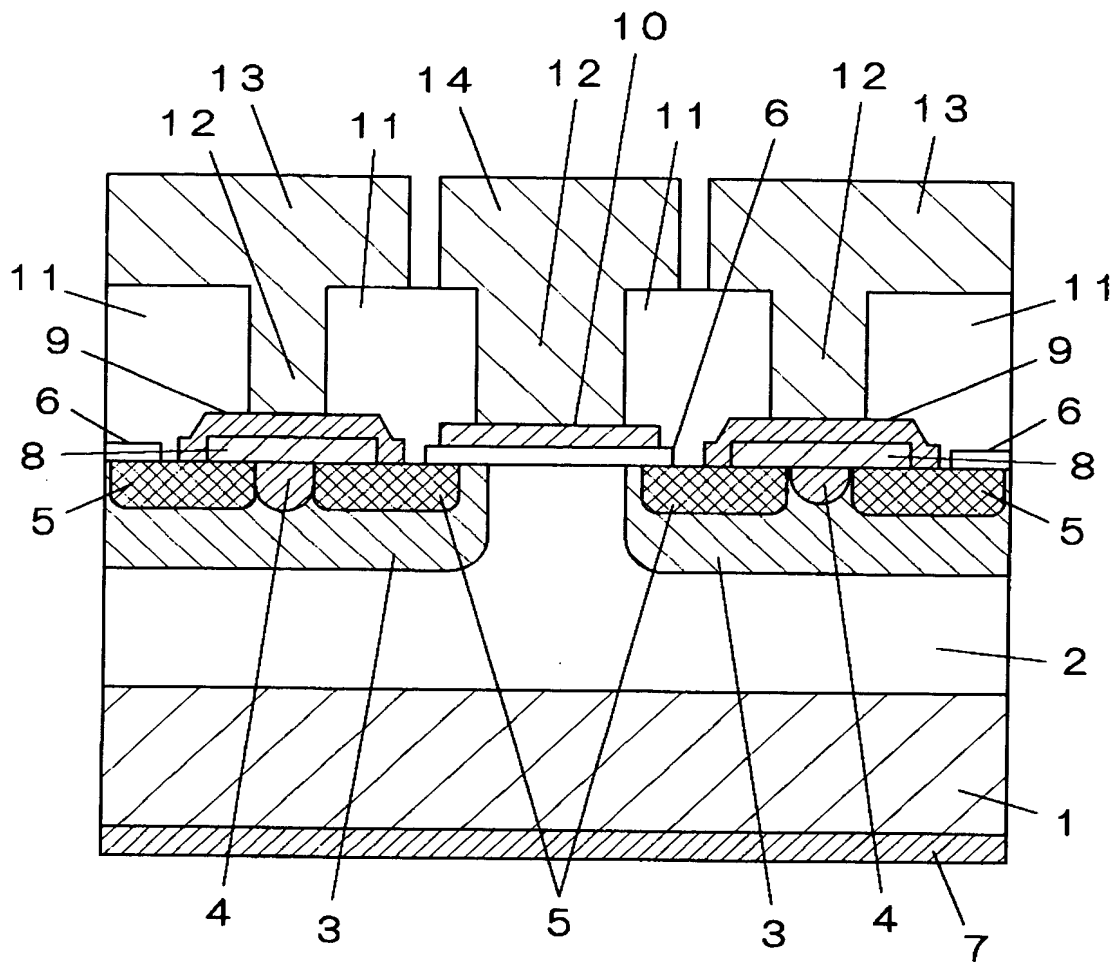
従来の炭化珪素半導体装置である二重注入型 MOSFET の構造を示す断面図

【符号の説明】

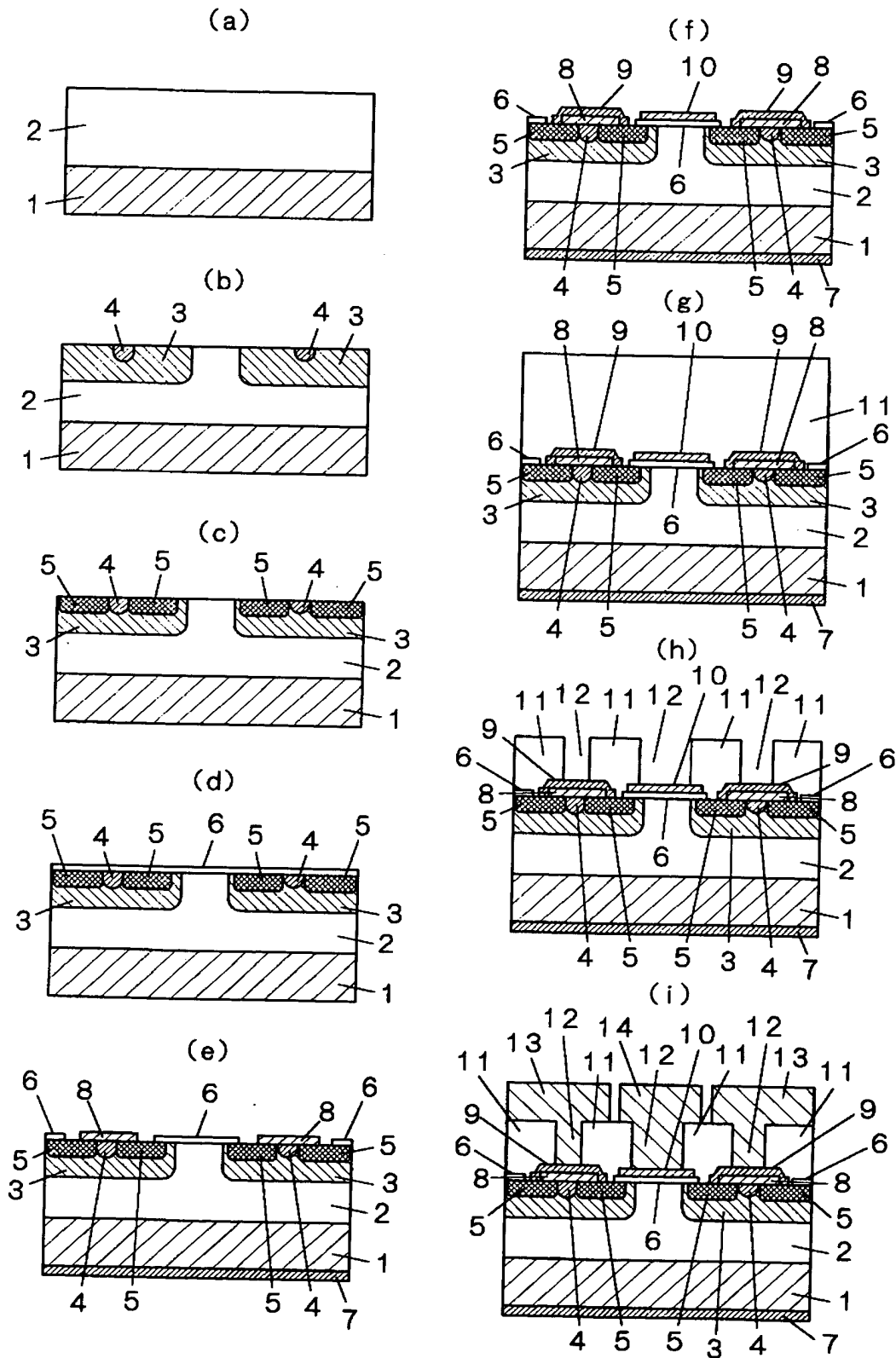
- 1, 31 炭化珪素基板
- 2, 32 高抵抗層
- 3, 33 ウェル領域
- 4, 34 p⁺コンタクト領域
- 5, 35 ソース領域
- 6, 36 ゲート絶縁膜
- 7, 37 ドレイン電極
- 8 第1ソース電極
- 9 第2ソース電極
- 10, 39 ゲート電極
- 11, 310 層間絶縁膜
- 12 コンタクトホール
- 13, 311 ソース電極上部配線
- 14, 312 ゲート電極上部配線
- 15 蓄積チャネル層
- 38 ソース電極

【書類名】 図面

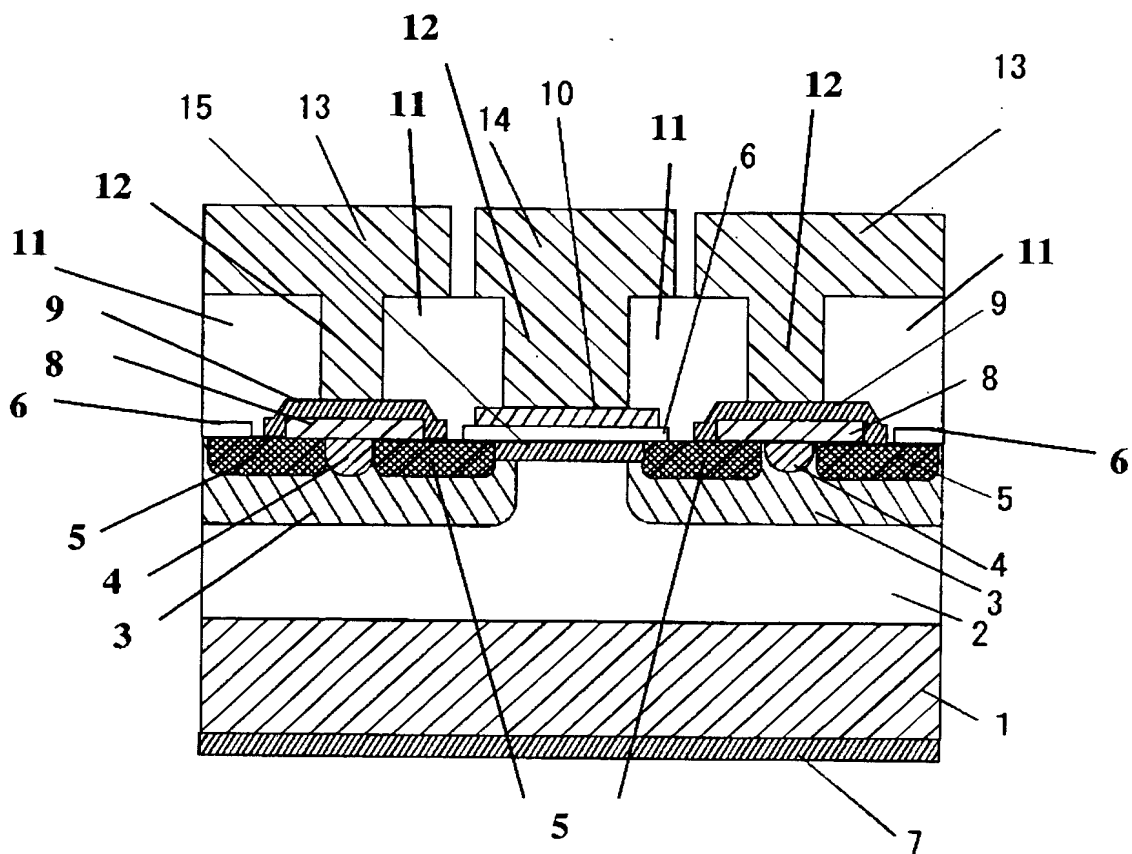
【図 1】



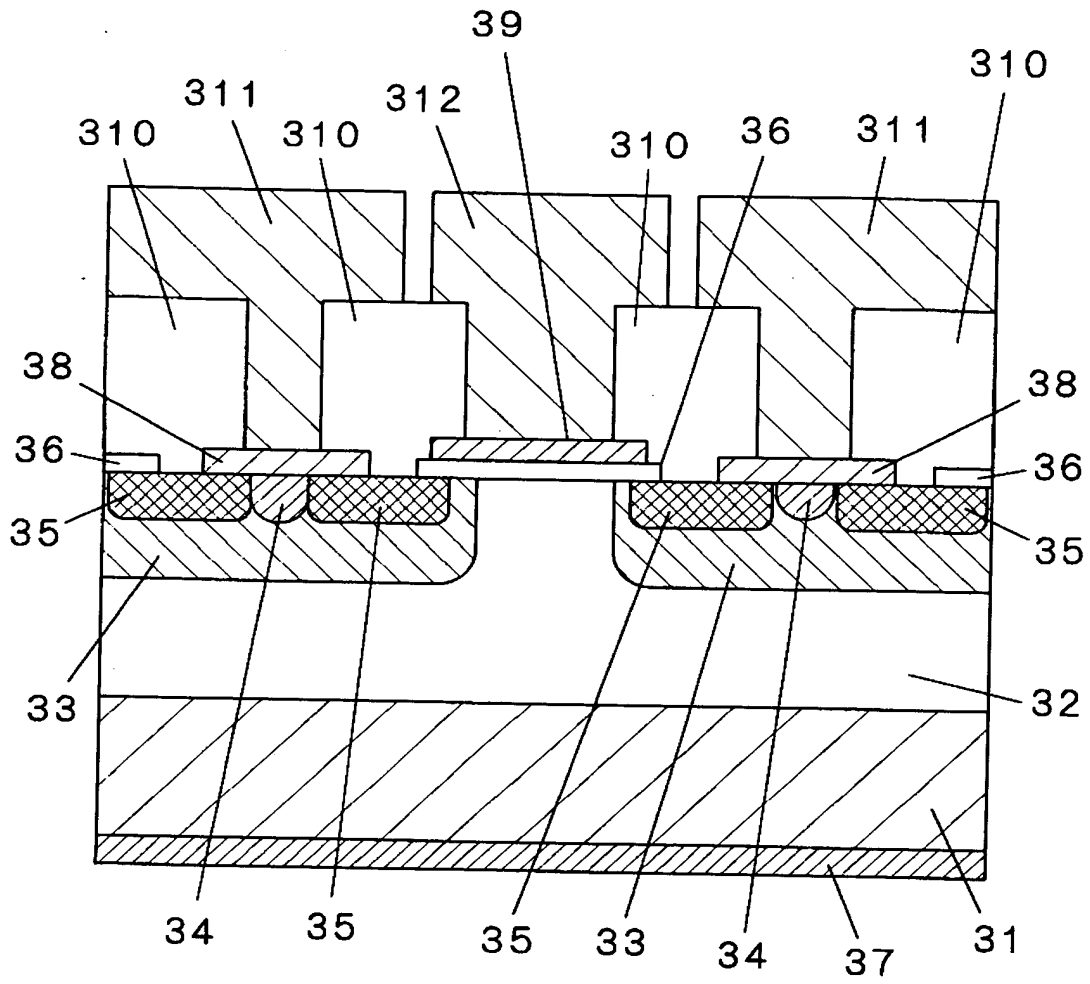
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 オン抵抗が低く高信頼性の炭化珪素半導体装置及びその製造方法を提供する。

【解決手段】 炭化珪素半導体基板上に設けられた高抵抗層と、ウェル領域と、ソース領域と、ゲート絶縁膜と、ゲート電極と、ソース電極と、ソース電極及びゲート電極を覆う層間絶縁膜と、ソース電極またはゲート電極に接続する配線とを備え、ソース電極は第1ソース電極と第2ソース電極とを積層してなり、第2ソース電極はゲート電極と同一の材料である炭化珪素半導体装置。

【選択図】 図1

特願 2 0 0 3 - 0 7 3 8 3 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社